

JAPANESE PATENT APPLICATION LAID-OPEN NO. 6-283721

(Partial Translation)

[Abstract]

[Object]

To provide contactless flash EPROM cells, an array device, and a manufacturing methods of the contactless flash EPROM cells.

[Constitution]

Extending first and second drain diffusion regions and a source diffusion region are formed in a semiconductor substrate along substantially parallel lines. Field oxide regions are formed on the sides opposite to the first and second drain diffusion regions. A floating gate and a control gate word line ( $WL_0$  or  $WL_N$ ) are formed perpendicularly to the drain/source/drain structure, and two lines of storage cells (13, 15, and 14, 16) having the common source region are set up. The common source region is connected with a virtual ground terminal through a bottom block select transistor (25). Each drain diffusion region is connected with a global bit line (17, 18) through an upper block select transistor (19, 21).

[Detailed Description of the Invention]

(Partial Translation)

[0021]

Manufacturing processes of flash EPROM cells

according to the present invention and cells used in the above-mentioned circuit are shown by the sectional views of FIGS. 4A to 4D and 5A to 5D and FIGS. 6A to 6D and 7A to 7C. FIG. 8 is a plan view thereof. The first cell type embodiment is illustrated in FIGS. 4A to 4D and 5A to 5D. These sectional views show an outline of the manufacturing process of cells. FIG. 4A illustrates the first step of the process. To form N-channel cells, a P<sup>-</sup>-type Si semiconductor substrate 100 is provided, and relatively thick field oxide regions 101 and 102 are vertically grown through a well-known LOCOS field oxidation process. A thin oxide film 103 is formed on the principal surface of the semiconductor substrate on the peripheries of the field oxides 101 and 102. As shown in FIG. 4B, in the next step, a photoresist mask 104 is formed in between the field oxides 101 and 102. The mask extends substantially in parallel with the field oxides 101 and 102. Drain diffusion regions are thereby defined between the field oxide 101 and the photoresist mask 104 and between the field oxide 102 and the photoresist mask 104. As schematically shown by arrows, N-type dopants are ion-implanted into the semiconductor substrate 100 through the thin oxide film 103. The drain diffusion regions are thus self-aligned with the element isolation field oxides 101 and 102.

[0022]

In the next step, as shown in FIG. 4C, the

photoresist mask 104 is removed, and the N-type dopants implanted into the semiconductor substrate 100 are annealed and activated to make local bit lines 105 and 106. Drain oxides 107 and 108 are formed to cover the bit lines 105 and 106. FIG. 4D illustrates the next step of the manufacture of cells. In particular, the thin oxide 103 is removed by blank wet etching, and a tunnel oxide film 110 is formed between the drain diffusion bit lines 105 and 106. In the system of this embodiment, the thickness of the tunnel oxide film 110 is about 100 angstrom. In flash EPROM cells, however, the tunnel oxide film 110 is about 120 angstrom or less. Although a thicker oxide film can be used for nonvolatile cells such as UV-EPROM cells, such a thicker oxide film is not used as the tunnel oxide film for erase operation. In this step, the oxide films 107 and 108 on the bit lines 105 and 106 by the buried diffusion layers has a thickness of about 1000 angstrom.

[0023]

In the next step shown in FIG. 5A, a poly-Si layer 111 is formed as a first layer and the layer is doped with impurity elements so that the poly-Si be electrically conductive. An oxide/nitride/oxide (ONO) layer 112 is then formed on the first poly-Si layer 111 to form a control gate insulating film. The poly-Si layer 111 in this step has a thickness of about 1500 angstrom. The ONO layer has a thickness of about 250 angstrom. In FIG. 5B, a source

diffusion region is defined in a self-align manner through a photomask process. After the photomask process, the poly-Si layer 111 and the ONO insulating layer 112 are etched to expose the source diffusion region. In addition, the floating gate poly-Si layer 111 and the ONO layer 112 are etched to define the width of each floating gate. Thus, one side of the etched poly-Si layer 111 defines the source diffusion region while the other side defines the width of the floating gate. In this embodiment, the latter is positioned above the field oxide region 101 or 102. After this, N-type dopants are ion-implanted into the source diffusion region to form  $N^+/N^-$  double diffusion regions extending in parallel with the drain diffusion regions 105 and 106. The dopants used are a combination of phosphorus and arsenic to form the double diffusion.

[0024]

As shown in FIG. 5C, the photoresist is removed and the semiconductor substrate is annealed. By diffusing and annealing the  $N^+$  and  $N^-$  dopants, the source diffusion region is activated. A source oxide film 116 is formed, and an oxide film 117 is formed along either side of the floating gate poly-Si layer 111 to isolate the floating gate from a word line poly-Si layer, which will be defined later. FIG. 5D illustrates the next step of the manufacturing process of the flash EPROM cells. This comprises forming a second poly-Si layer 118 and using a

photomask process to define a word line. In the photomask process, etching for defining the word line is done up to the floating gate poly-Si layer 111 to define the floating gate of each transistor. The word line 118 has a thickness of 500 angstrom. Lastly, passivation and metallization layers (not shown) are formed on the upper portion of the cells.

[0025]

As shown in FIG. 5D, a cell structure is obtained in which first and second transistors are formed between the drain diffusion line 105 and the source diffusion line 115 and between the drain diffusion line 106 and the source diffusion line 115, respectively. The floating gate extends from the source diffusion line 115 across the drain diffusion line 105 to cover the field oxide 101. In this embodiment, these floating gate oxide films have a length of about 2.4  $\mu\text{m}$  and a width of 0.8  $\mu\text{m}$ . The width of the tunnel oxide film 110 from one end of the drain oxide film 107 to one end of the source oxide film 116 on the upper portion of the transistor is about 1.2  $\mu\text{m}$ . A redundant region covering the drain diffusion line 105 and the field oxide 102 is used for increasing the coupling ratio up to about 50% or more by the floating gate. The reason is that, since the thickness of the ONO layer is about 250 angstrom and the thickness of the tunnel oxide film is about 100 angstrom, the coupling ratio must be improved by increasing the area of the floating gate.

Alternatively, the ONO layer may be made thinner to decrease the necessary area of the floating gate. As understood, the source diffusion is done in a step independently of the drain diffusion, and dopants with another distribution are ion-implanted to form a gradient junction in the channel of each transistor and promote the source erase function. In floating gates of channel erase type or UV erase type, such a gradient junction and a source diffusion are not required.

[Brief Description of the Drawings]

[FIG. 1]

A circuit diagram for explaining nonvolatile memory cells according to the present invention.

[FIG. 2]

A circuit diagram showing an outline of an array device with the nonvolatile memory cells according to the present invention, which includes two subarrays.

[FIG. 3]

A block diagram showing an embodiment of a semiconductor integrated circuit with the nonvolatile memory cells according to the present invention.

[FIG. 4]

(A) to (D) are sectional views taken along a word line in the array device with the nonvolatile memory cells according to the present invention, illustrating a manufacturing process of the nonvolatile memory cells according to an embodiment.

[FIG. 5]

(A) to (D) are sectional views illustrating a manufacturing process of the nonvolatile memory cells subsequent to (A) to (D) of FIG. 4.

[FIG. 6]

(A) to (D) are sectional views taken along a word line in the array device with the nonvolatile memory cells according to the present invention, illustrating a manufacturing process of the nonvolatile memory cells according to another embodiment.

[FIG. 7]

(A) to (C) are sectional views illustrating a manufacturing process of the nonvolatile memory cells subsequent to (A) to (D) of FIG. 6.

[FIG. 8]

A plan view of the array device obtained through the manufacturing process of FIGS. 4(A) to (D) and 5(A) to (D).

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 2 8 3 7 2 1

(43) 公開日 平成 6 年 (1994) 10 月 7 日

(51) Int. Cl. <sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

G 1 1 C 16/02

6866 - 5 L

H 0 1 L 29/78 3 7 1

G 1 1 C 17/00 3 0 7 D

審査請求 未請求 請求項の数 9 3

O L

(全 2 0 頁) 最終頁に続く

(21) 出願番号 特願平 4 - 50002

(22) 出願日 平成 4 年 (1992) 3 月 6 日

(71) 出願人 592050917

旺宏電子股フン有限公司

台湾新竹市科学工業園区園区二路 56 号 3 楼

(72) 発明者 游 敦行

アメリカ合衆国 カリフォルニア 95035、  
サンタ クララ、ミルピタス、ロス ポジ  
トス ドライヴ 793

(72) 発明者 熊 福嘉

台湾 新竹市 科学工業園区 湖浜一路  
21 号 3 楼

(74) 代理人 弁理士 瀧野 秀雄 (外 2 名)

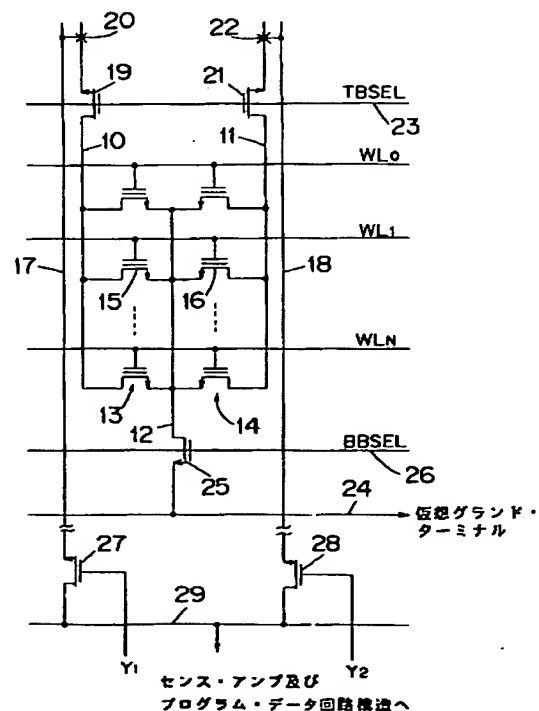
最終頁に続く

(54) 【発明の名称】 不揮発性メモリ・セル、アレー装置、製造方法、及びそのメモリ回路

(57) 【要約】

【目的】 コンタクトレス・フラッシュ EPROM セル、アレー装置、及びコンタクトレス・フラッシュ EPROM セルの製作方法を提供するものである。

【構成】 延在した第 1 と第 2 ののドレイン拡散領域、及びソース拡散領域を、本質上平行な直線に沿って半導体基板に形成する。フィールド酸化物領域を、第 1 及び第 2 ドレイン拡散領域の反対側に生成する。フローティング・ゲート及びコントロール・ゲート・ワード線 (WL。乃至 WL<sub>N</sub>) を、ドレイン・ソース・ドレイン構造に直行して形成し、そして共有されたソース領域を有する蓄積セルの 2 つの列 (13、15 及び 14、16) を設定する。共用されるソース領域を、底部ブロック・セレクト・トランジスタ (25) によって仮想グランド・ターミナルに結合する。各々のドレイン拡散領域を、上部ブロック・セレクト・トランジスタ (19、21) によってグローバル・ビット線 (17、18) に結合するものである。





## 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、  
 該半導体基板に第1方向に延在する第2導電型のコンタクトレス・ドレイン拡散領域と、  
 該半導体基板に第1方向に延在し、ソース及びドレイン拡散領域の間にチャンネル領域を形成すべく該ドレイン拡散領域から離間した位置に傾斜状のチャンネル接合を与えるドーパントの分布を有する第2導電型のコンタクトレス・ソース拡散領域と、  
 前記チャンネル領域、ソース及びドレイン拡散領域の形成された該半導体基板の主表面に形成された第1の絶縁層と、  
 該チャンネル領域に形成された第1の絶縁層を覆っている多数のフローティング・ゲート電極と、  
 前記多数のフローティング・ゲート電極の主表面に形成された第2の絶縁層と、そして  
 それぞれのフローティング・ゲート電極を上部の第2の絶縁層を覆う、前記ソース及びドレイン拡散領域を横切る第2方向に延在する多数のコントロール・ゲート電極とからなることを特徴とするフローティング・ゲート・トランジスタ・アレー。

【請求項2】 前記第1の絶縁層と接触し、該ドレイン拡散領域に隣接するとともに、第1方向に延在し、前記ドレイン拡散領域を該半導体基板の他の構成物から分離する比較的厚い絶縁領域を含むことを特徴とする特許請求の範囲第1項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項3】 前記厚い絶縁領域が、ドレイン拡散領域と該半導体基板内の他の構成物との間の寄生チャンネルを予防するために該半導体基板の中へ十分な深さまで延在することを特徴とする特許請求の範囲第2項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項4】 前記ソース拡散領域が、傾斜状のチャンネル接合を形成するために砒素でドーパされた比較的浅い領域と、燐でドーパされた比較的深い領域を含んでいることを特徴とする特許請求の範囲第1項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項5】 前記フローティング・ゲート・トランジスタが、容量性カップリング比を有し、チャンネル領域、ドレイン拡散領域、及び比較的厚い絶縁領域を覆ったコントロール・ゲート電極の下側に延在したフローティング・ゲート電極によって、容量性カップリング比を増加させることを特徴とする特許請求の範囲第1項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項6】 前記フローティング・ゲート・トランジスタが、容量性カップリング比を有し、前記第1絶縁層がF-Nトンネルのためにチャンネル領域を覆って第1の厚さを有し、前記第2絶縁層がカップリング比が約40%乃至50%の範囲内であるようにフローティング・ゲート電極を覆う第2の厚さを有することを特徴とする特

許請求の範囲第1項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項7】 前記第1の厚さが、約120オングストローム以下で、前記第2の厚さが第1の厚さの±20%の範囲内にあることを特徴とする特許請求の範囲第6項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項8】 前記フローティング・ゲート電極が、チャンネル領域上のチャンネル表面領域を保持している第1の絶縁層に隣接した第1の主表面と、実質的にチャンネル表面領域に等しいコントロール電極下部のコントロール表面領域を保持している第2の絶縁層に隣接する第2の主表面とを有することを特徴とする特許請求の範囲第6項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項9】 ビット線コンダクタと、  
 該ドレイン拡散領域に結合された第1チャンネル・ターミナル、ビット線コンダクタに結合された第2チャンネル・ターミナル、及びブロック・セレクト信号が供給されるゲート電極を有しているブロック・セレクト・トランジスタと、

該ソース拡散領域に結合され、ソース拡散領域へソース・ポテンシャルを与えるための手段、  
 ビット線・コンダクタに結合され、選択的にビット線コンダクタとし得る列セレクト手段、  
 とを含んでいることを特徴とする特許請求の範囲第1項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項10】 第1導電型の半導体基板と、  
 該半導体基板の主表面に第1方向に延在する第1のドレイン拡散領域と、  
 該半導体基板の主表面に第1方向に延在し、ソースと第1のドレイン拡散領域との間に第1のチャンネル領域を形成すべく該第1のドレイン拡散領域から離間して形成されたソース拡散領域と、

該半導体基板の主表面に第1方向に延在し、ソースと第2のドレイン拡散領域との間に第2のチャンネル領域を形成すべく該ソース拡散領域から離間した第2のドレイン拡散領域と、

前記第1と第2のチャンネル領域、該ソース拡散領域、及び前記第1と第2のドレイン拡散領域を形成した該半導体基板主表面を覆う第1の絶縁層と、

第1のチャンネル領域を覆う第1の絶縁層上部の第1の多数のフローティング・ゲート電極と、

該第2のチャンネル領域を覆う第1の絶縁層上部の第2の多数の第2のフローティング・ゲート電極と、

前記第1と第2の多数のフローティング・ゲート電極を覆う第2の絶縁層、

ソースと、第1と第2のドレイン拡散領域とを横切って第2の方向に延在するとともに、第1と第2の多数のコ

ントロール・ゲート電極を覆う第2の絶縁層上に、共有されたソース拡散領域をもつ多数のフローティング・ゲート・トランジスタ対を形成することによる複数のコントロール・ゲート・コンダクタ、とからなることを特徴とするフローティング・ゲート・トランジスタ・アレー。

【請求項11】 第1と第2のビット線コンダクタと、第1のドレイン拡散領域に結合された第1のチャネル・ターミナル、第1のビット線・コンダクタに結合された第2のチャネル・ターミナル、そしてブロック・セレクト信号に結合されるゲート電極を有している第1ブロック・セレクト・トランジスタと、第2のドレイン拡散領域に結合された第1のチャネル・ターミナル、第2のビット線コンダクタに結合された第2のチャネル・ターミナル、そしてブロック・セレクト信号に結合されたゲート電極を有している第2ブロック・セレクト・トランジスタと、ソース拡散領域に結合された、ソース拡散領域へソース・ポテンシャルを供給することのための手段、そして第1及び第2ビット線コンダクタに結合されて、選択的に第1及び第2ビット線コンダクタとし得るための列セレクト手段とを含んでいることを特徴とする特許請求の範囲第10項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項12】 第1及び第2ドレイン拡散領域が、コンタクトレスであることを特徴とする特許請求の範囲第10項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項13】 第1及び第2のビット線コンダクタが、第1方向に延在しているとともに、多数のコントロール・ゲート・コンダクタから絶縁されていることを特徴とする特許請求の範囲第10項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項14】 第1及び第2のビット線コンダクタが、第1及び第2の厚い絶縁領域の間の絶縁領域に存在することを特徴とする特許請求の範囲第13項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項15】 ソース拡散領域が、傾斜状のチャネル接合を与えるドーパントの分布を有していることを特徴とする特許請求の範囲第10項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項16】 ソース拡散領域が、砒素でドーブされた比較的浅い領域、及び隣でドーブされた比較的深い領域を、傾斜状のチャネル接合を形成するために含んでいることを特徴とする特許請求の範囲第15項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項17】 アレー内のフローティング・ゲート・トランジスタが、容量性カップリング比を有し、そしてフローティング・ゲート電極が、チャネル領域、ドレイン拡散領域、及び比較的厚い絶縁領域の一部を覆うコ

ントロール・ゲート電極の下側に、容量性カップリング比を増加させるために延在していることを特徴とする特許請求の範囲第10項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項18】 アレー内のフローティング・ゲート・トランジスタが、容量性カップリング比を有し、第1絶縁層がF-Nトンネルのためにチャネル領域を覆う第1の厚さをもち、且つ、第2絶縁層がカップリング比が約40%より大きくなるようにフローティング・ゲート電極の上部で第2の厚さをもっていることを特徴とする特許請求の範囲第10項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項19】 第1の厚さが、約120オングストローム以下で、且つ、第2の厚さが第1の厚さのプラス又はマイナス20%の範囲内にあることを特徴とする特許請求の範囲第18項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項20】 フローティング・ゲート電極が、チャネル領域の上部でチャネル表面領域を保持している第1の絶縁層に隣接した第1の主表面と、実質的にはチャネル表面領域に等しい、コントロール電極の下部でコントロール表面領域を保持している第2の絶縁層に隣接した第2の主表面を有していることを特徴とする特許請求の範囲第18項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項21】 第1導電型の半導体基板と、該半導体基板に形成された第1の比較的厚い絶縁領域と、該半導体基板に分離領域を形成するために第1絶縁領域から離開して形成された第2の比較的厚い絶縁領域と、第1方向に延在し、該分離領域の第1のチャネル・ターミナル拡散領域と、第1方向に延在し、第1と第2のチャネル・ターミナル拡散領域の間の第1のチャネル領域を与えるために、第1のチャネル・ターミナル拡散領域から離開して該分離領域内に設けられた第2のチャネル・ターミナル拡散領域と第1方向に延在し、第2及び第3のチャネル・ターミナル拡散領域の間に第2のチャネル領域を与えるために、第2の拡散領域から離開して該分離領域内に設けられた第3のチャネル・ターミナル拡散領域と該半導体基板を覆って、第1と第2のチャネル領域と、第1乃至第3のチャネル・ターミナル拡散領域を覆う第1の絶縁層と、第1の絶縁層を覆って、第1のチャネル領域を覆う第1の多数のフローティング・ゲート電極と、第2の絶縁層を覆って、第2のチャネル領域を覆う第2の多数のフローティング・ゲート電極と、第1及び第2の多数のフローティング・ゲート電極を覆う第2の絶縁層と、

共有された第2チャンネル・ターミナル拡散領域をもつ該分離領域に多数のフローティング・ゲート・トランジスタ対を形成することによって、第1及び第2の厚い絶縁領域と第1の多数中の或るフローティング・ゲート電極及び第2の多数中の或るフローティング・ゲート電極を覆い、第1乃至第3のチャンネル・ターミナル拡散領域のそれぞれを横切って第2方向に延在し、第2の絶縁層を覆う複数のコントロール・ゲート・コンダクタとからなることを特徴とするフローティング・ゲート・トランジスタ・アレー。

【請求項22】 第1と第2のビット線コンダクタと、第1のチャンネル・ターミナル拡散領域に結合された第1のチャンネル・ターミナル、第1のビット線コンダクタに結合された第2のチャンネル・ターミナル、そしてブロック・セレクト信号に結合されたゲート電極を有している第1ブロック・セレクト・トランジスタと、第3のチャンネル・ターミナル拡散領域に結合された第1のチャンネル・ターミナル、第2のビット線コンダクタに結合された第2のチャンネル・ターミナル、そしてブロック・セレクト信号に結合されたゲート電極を有している第2ブロック・セレクト・トランジスタと、第2拡散領域に結合され、第2チャンネル・ターミナル拡散領域へソース・ポテンシャルを供給することのための手段、そして第1及び第2のビット線コンダクタに結合され、選択的に第1及び第2のビット線コンダクタとし得る列セレクト手段、とを含むことを特徴とするフローティング・ゲート・トランジスタ・アレー。

【請求項23】 第1と第2のビット線コンダクタが、第1方向に延在するとともに、多数のコントロール・ゲート・コンダクタから絶縁されていることを特徴とする特許請求の範囲第22項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項24】 第1と第2のビット線コンダクタが、第1と第2の厚い絶縁領域の間の分離領域を覆って存在することを特徴とする特許請求の範囲第23項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項25】 第1と第2のドレイン拡散領域が、コンタクトレスであることを特徴とする特許請求の範囲第21項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項26】 ソース拡散領域が、傾斜状のチャンネル接合を与えるドーパントの分布を有していることを特徴とする特許請求の範囲第21項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項27】 ソース拡散領域が、傾斜状のチャンネル接合を形成するために、砒素がドーパされた比較的浅い領域と隣がドーパされた比較的深い領域とを含んでいることを特徴とする特許請求の範囲第26項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項28】 アレー内のフローティング・ゲート・トランジスタが、容量性カップリング比を有し、且つ、フローティング・ゲート電極がチャンネル領域、ドレイン拡散領域、及び比較的厚い絶縁領域の一部を覆うコントロール・ゲート電極の下側に延在するようにして、容量性カップリング比を増加させるために延びていることを特徴とする特許請求の範囲第21項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項29】 アレー内のフローティング・ゲート・トランジスタが、容量性カップリング比を有し、且つ、第1絶縁層がF-Nトンネルのためにチャンネル領域を覆う第1の厚さをもち、第2絶縁層がカップリング比が約40%乃至60%の範囲内にあるようにフローティング・ゲート電極の上部で第2の厚さをもっていることを特徴とする特許請求の範囲第21項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項30】 第1の厚さが、約120オングストローム以下で、且つ、第2の厚さが第1の厚さの±約20%の範囲内にあることを特徴とする特許請求の範囲第29項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項31】 フローティング・ゲート電極が、チャンネル領域を覆うチャンネル表面領域を保持している第1の絶縁層に隣接した第1の主表面と、実質的にチャンネル表面領域に等しいコントロール電極の下部のコントロール表面領域を保持している第2の絶縁層に隣接した第2の主表面とを有していることを特徴とする特許請求の範囲第29項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項32】 第1導電型の半導体基板と、該半導体基板に多数の分離領域を与えるための、該半導体基板に離間を与える比較的厚い多数の絶縁領域と、第1方向に延在し、それぞれの分離領域内の多数の第1のドレイン拡散領域と、それぞれの分離された領域内に、第1方向に延在し、各々が、それぞれの分離された領域内におけるソースと第1のドレイン拡散領域の間に第1のチャンネル領域を与えるために、第1のドレイン拡散領域から離間して設けられた多数のソース拡散領域と、それぞれの分離された領域内に、第1方向に延在し、それぞれの分離された領域内におけるソース及び第2のドレイン拡散領域の間に第2のチャンネル領域を与えるために、ソース拡散領域から離間して設けられた多数の第2のドレイン拡散領域と、それぞれの分離された領域内における第1及び第2のチャンネル領域の上部の該半導体基板、ソース拡散領域、並び第1と第2ドレイン拡散領域を覆う第1の絶縁層と、多数の分離された領域内における第1のチャンネル領域の上部で、第1の絶縁層を覆う第1の多数のフローティング・ゲート電極と、

多数の分離された領域内における第2のチャンネル領域の上部で、第1の絶縁層を覆う第2の多数のフローティング・ゲート電極と、

第1と第2の多数のフローティング・ゲート電極を覆う第2の絶縁層、そして第2の絶縁層を覆う、各々が第1の多数中の或るフローティング・ゲート電極並び第2の多数中の或るフローティング・ゲート電極の上部の多数の厚い絶縁領域、ソース、並び第1と第2ドレイン拡散領域を横切って第2方向に延在し、それによってそれぞれの分離された領域内に、共有されたソース拡散領域をもつ多数のフローティング・ゲート・トランジスタ対を形成する多数のコントロール・ゲート・コンダクタ、とからなることを特徴とするフローティング・ゲート・トランジスタ・アレー。

【請求項33】 それぞれの分離領域と組み合わせられた多数の第1と第2のビット線コンダクタ対と、それぞれの分離領域内の第1のドレイン拡散領域に結合された第1のチャンネル・ターミナル、それぞれの分離領域と対で組み合わせられた一対の第1のビット線コンダクタに結合された第2のチャンネル・ターミナル、及びブロック・セレクト信号に結合されたゲート電極をそれぞれ有している多数の第1ブロック・セレクト・トランジスタと、それぞれの分離された領域内の第2のドレイン拡散領域に結合された第1のチャンネル・ターミナル、それぞれの分離領域と対で組み合わせられた第2のビット線コンダクタに結合された第2のチャンネル・ターミナル、ブロック・セレクト信号に結合されたゲート電極を有している第2のブロック・セレクト・トランジスタからなる多数の第2のブロック・セレクト・トランジスタと、多数のソース拡散領域に結合された、多数のソース拡散領域へソース・ポテンシャルを供給することのための手段、そして多数の第1及び第2ビット線コンダクタ対に結合されて、選択的にビット線コンダクタとし得る列セレクト手段とを含んでいることを特徴とする特許請求の範囲第32項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項34】 多数の第1及び第2のビット線コンダクタ対が、第1方向に延在するとともに、多数のワード線コンダクタから絶縁されていることを特徴とする特許請求の範囲第32項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項35】 第1及び第2のビット線コンダクタ対が、厚い絶縁領域の間のそれぞれの分離された領域上に存在することを特徴とする特許請求の範囲第34項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項36】 ビット線コンダクタ、ワード線コンダクタ及びソース拡散領域の電圧ポテンシャルの制御、消去及び読み取りのモードをプログラムするブロック・セレクト信号を供給するための、多数のビット線コンダク

タ、ワード線コンダクタ、及びソース・ポテンシャルを供給するための手段と結合された手段からなることを特徴とする特許請求の範囲第32項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項37】 ソース・ポテンシャルを供給する手段が、多数のソース拡散領域に結合された第1のチャンネル・ターミナルと、ソース・ポテンシャル・コンダクタに結合された第2のチャンネル・ターミナルと、ブロック・セレクト信号を受けるために結合されたゲート電極とを備えたソース・ブロック・セレクト・トランジスタからなることを特徴とする特許請求の範囲第32項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項38】 ソース・ポテンシャル・コンダクタが、本質上多数のビット線コンダクタに平行であることを特徴とする特許請求の範囲第37項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項39】 多数の第1と第2ドレイン拡散領域が、コンタクトレスであることを特徴とする特許請求の範囲第32項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項40】 多数のソース拡散領域が、傾斜状のチャンネル接合を与えるドーパントの分布を有していることを特徴とする特許請求の範囲第32項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項41】 多数のソース拡散領域におけるドーパントの分布が、砒素及び燐でドーパされた比較的浅い領域、及び燐でドーパされた比較的深い領域を、傾斜状のチャンネル接合を形成するために含んでいる、請求項40のアレー。

【請求項42】 アレー内のフローティング・ゲート・トランジスタが、容量性カップリング比を有し、そしてフローティング・ゲート電極がチャンネル領域、ドレイン拡散領域、及び比較的厚い絶縁領域の一部を覆って、コントロール・ゲート電極の下側に、容量性カップリング比を増加させるために延在していることを特徴とする特許請求の範囲第32項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項43】 アレー内のフローティング・ゲート・トランジスタが、容量性カップリング比を有し、第1絶縁層がF-Nトンネルのためにチャンネル領域を覆い第1の厚さを持ち、また第2絶縁層がカップリング比が約40%乃至約60%の範囲内あるようにフローティング・ゲート電極を覆い第2の厚さをもっていることを特徴とする特許請求の範囲第32項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項44】 第1の厚さが、約120オングストローム以下で、第2の厚さが第1の厚さの±20%の範囲内にあることを特徴とする特許請求の範囲第43項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項45】 フローティング・ゲート電極が、チャ

ネル領域を覆いチャネル表面領域を保持している第1の絶縁層に隣接した第1の主表面と、実質的にチャネル表面面積に等しい、コントロール電極を覆うコントロール表面領域を保持している第2の絶縁層に隣接した第2の主表面と有していることを特徴とする特許請求の範囲第45項記載のフローティング・ゲート・トランジスタ・アレー。

【請求項46】 それぞれ第1ターミナル、第2ターミナル及びコントロール・ターミナルを保有する列内の蓄積セルからなるN列、M行の蓄積セルを有するK個のサブアレーと、  
それぞれの行における蓄積セルのコントロール・ターミナルに結合された多数のワード線と、  
蓄積セルの各々の列に1個が対応するN個の広域ビット線と、  
それぞれのサブアレーの内部の、それぞれの列におけるM個の蓄積セルの第1ターミナルに各々が結合された多数の局所ビット線と、  
第1のサブアレー・セレクト信号に応じて対応する広域ビット線へ蓄積セルのサブアレーに局所ビット線と選択的に結合するための手段と、  
それぞれのサブアレーの内部の、一つの隣接した柱列におけるM個の蓄積セル及び別の隣接した柱列におけるM個の蓄積セルの第2ターミナルに各々が結合された、多数の局所仮想グランド線と、  
それぞれ隣接する列のM蓄積セルの第2のターミナルと、それぞれのサブアレーの中の他の隣接する列のM蓄積セルに結合された多数の局所仮想グランド線と、  
仮想グランド・ターミナルを持つ蓄積セルのサブアレーにおける局所仮想グランド線に接続するための手段、そして蓄積セルのN列へ選択的にアクセスし得るための広域ビット線と結合された列セレクト手段を含むことを特徴とするメモリー回路。

【請求項47】 多数の仮想グランド・ターミナルと、多数の仮想グランド・ターミナルに結合され、サブアレーと接続された仮想グランド・ターミナルへ選択的にアクセスし得るための仮想グランド・セレクト手段とを含むことを特徴とする特許請求の範囲第46項記載のメモリー回路。

【請求項48】 蓄積セルのサブアレーにおける局所仮想グランド線を仮想グランド・ターミナルに結合するための手段が、少なくとも1個の局所仮想グランド線に結合された第1ターミナルと仮想グランド・ターミナルに結合された第2ターミナルを有するサブアレー・セレクト・トランジスタ、及び第2サブアレー・セレクト信号に結合されたコントロール・ターミナルからなることを特徴とする特許請求の範囲第46項記載のメモリー回路。

【請求項49】 仮想グランド・ターミナル、広域ビット線、サブアレー・セレクト信号及び蓄積セルに読み取り及び消去モードをプログラムするためにワード線を制

御するための手段を包含していることを特徴とする特許請求の範囲第46項記載のメモリー回路。

【請求項50】 消去モードが、ソース消去サイクルからなることを特徴とする特許請求の範囲第49項記載のメモリー回路。

【請求項51】 消去モードが、チャネル消去サイクルからなることを特徴とする特許請求の範囲第49項記載のメモリー回路。

【請求項52】 消去モードが、UV消去サイクルからなることを特徴とする特許請求の範囲第49項記載のメモリー回路。

【請求項53】 蓄積セルが、フラッシュEPROMセルからなることを特徴とする特許請求の範囲第46項記載のメモリー回路。

【請求項54】 蓄積セルが、フローティング・ゲート・トランジスタからなることを特徴とする特許請求の範囲第46項記載のメモリー回路。

【請求項55】 局所ビット線及び局所仮想グランド線が、拡散領域からなることを特徴とする特許請求の範囲第46項記載のメモリー回路。

【請求項56】 多数の余分の蓄積セルと、ワード線信号、列セレクト信号及びサブアレー・セレクト信号を供給するためのデコーダ、そして蓄積セルのN列の内部にある蓄積セルを、余分の蓄積セルと置き換えるためのデコーダと結合されたプログラム可能な手段とを含んでいることを特徴とする特許請求の範囲第54項記載のメモリー回路。

【請求項57】 第1方向に延在された多数のドレイン拡散領域を定めることと、

ドレイン拡散領域をドーピングすることと、  
少なくとも、ドレイン拡散領域に隣接した領域における半導体基板の主表面に第1の絶縁性材料を設けることと、

少なくとも、ドレイン拡散領域に隣接した領域における第1の絶縁性物質を覆うフローティング・ゲート導電性物質を設けることと、

フローティング・ゲート導電性物質を覆うコントロール・ゲート絶縁性材料を設けることと、

半導体基板のフローティング・ゲート導電性物質によ

る、フローティング・ゲート導電性物質でアラインし

て、延在したソース拡散領域を露出することと、

ソース拡散領域をドーピングすることと、

ソース拡散領域と露出された何かのフローティング・ゲート導電性物質を覆う絶縁層を設けること、そしてコントロール・ゲート絶縁性物質とフローティング・ゲート導電性物質を覆う、多数の導電性材料の行を形成することとからなることを特徴とするコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項58】 多数の伸長したソース拡散領域を露出させるステップが、ソース拡散領域の一つの側部を定め

る第1のサイド及びフローティング・ゲート領域の中を定めるため第1のサイドから間をとって設けられた第2のサイドを有する伸長したフローティング・ゲート領域を定め、かつフローティング・ゲート領域が、少なくとも隣接したドレイン拡散領域の一部の上に存在するように、フローティング・ゲート導電性材料をエッチすることを含んでいることを特徴とする特許請求の範囲第57項記載のコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項59】 フローティング・ゲート領域の第2のサイドが、隣接したドレイン拡散領域の上に存在するように定められる、請求項58の方法。

【請求項60】 第1の絶縁性物質が、二酸化珪素からなることを特徴とする特許請求の範囲第57項記載のコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項61】 コントロール・ゲート絶縁性材料が、ONOからなることを特徴とする特許請求の範囲第60項記載のコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項62】 第1の絶縁性物質が、約120オングストローム以下のフローティング・ゲート材料に達しない厚さを有する二酸化珪素からなることを特徴とする特許請求の範囲第57項記載のコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項63】 第1の絶縁性物質が、フローティング・ゲート導電性物質に達しない厚さを有する二酸化珪素から、コントロール・ゲート絶縁性物質が、実質的にトンネル絶縁性物質の厚さより大きい厚さをもったONOからなることを特徴とする特許請求の範囲第57項記載のコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項64】 ソース拡散領域をドーピングするステップが、傾斜状接合を有するようドーパントの分布を設定すること特徴とする特許請求の範囲第57項記載のコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項65】 半導体基板主表面に、第1方向に延在された多数の絶縁領域を形成することと、第1方向に延在され、離間して設けられた多数の絶縁領域を形成すること、少なくとも、多数の分離領域における個々の分離された領域内部に1個のドレイン拡散領域をもつ、第1の方向に延在された多数のドレイン拡散領域を画定することと、

ドレイン拡散領域をドーピングすることと、少なくとも、ドレイン拡散領域に隣接した領域に該半導体基板上に第1の絶縁性物質を設けることと、少なくとも、ドレイン拡散領域に隣接した領域に第1の絶縁性材料を覆うフローティング・ゲート導電性物質を

設けることと、  
フローティング・ゲート導電性物質を覆うコントロール・ゲート絶縁性物質を設けることと、  
該半導体基板に延在したソース拡散領域を、フローティング・ゲート導電性物質でアラインして、露出することと、

ソース拡散領域をドーピングすることと、  
ソース拡散領域と何かの露出されたフローティング・ゲート導電性物質を覆う絶縁層を設けること、そしてコントロール・ゲート絶縁性材料及びフローティング・ゲート導電性物質を覆う多数の導電性物質の行を形成することとからなることを特徴とするフローティング・ゲート・メモリ・アレーの製造方法。

【請求項66】 多数のドレイン拡散領域を定めるステップが、個々のドレイン拡散領域の一端をそれぞれの絶縁領域とアラインすることからなることを特徴とする特許請求の範囲第65項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項67】 多数のドレイン拡散領域を定めるステップが、個々の分離領域における2個のドレイン拡散領域と2個のフローティング・ゲート導電性物質の領域を定めることからなることを特徴とする特許請求の範囲第65項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項68】 多数のドレイン拡散領域を定めるステップが、個々の分離領域における第1のドレイン拡散領域の一端を、第1の絶縁領域とアラインし、前記分離された領域内部の第2のドレイン拡散領域の反対する一端を、第2の絶縁領域とアラインすることからなることを特徴とする特許請求の範囲第67項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項69】 多数の伸長したソース拡散領域を露出させるステップが、ソース拡散領域の一つの側部を定める第1のサイド及びフローティング・ゲート領域の中を定めるため第1のサイドから間をとって設けられた第2のサイドを有する伸長したフローティング・ゲート領域を定め、かつフローティング・ゲート領域が、少なくとも隣接したドレイン拡散領域の一部の上に存在するように、フローティング・ゲート導電性材料をエッチすることを含んでいることを特徴とする特許請求の範囲第65項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項70】 フローティング・ゲート領域の第2のサイドが、フローティング・ゲート領域が隣接したドレイン拡散領域の上に存在するように絶縁領域を覆って定められることを特徴とする特許請求の範囲第69項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項71】 多数の延在したソース拡散領域を露出させるステップが、各々がそれぞれに、ソース拡散領域

の一つ側部を定める第1のサイド及びフローティング・ゲート領域の中を定めるため第1のサイドから間をとって設けられた第2のサイドを有する、個々の分離された領域における2個の伸長したフローティング・ゲート領域を定め、かつフローティング・ゲート領域が、少なくとも隣接したドレイン拡散領域の一部の上に存在するように、フローティング・ゲート導電性材料をエッチすることを含んでいることを特徴とする特許請求の範囲第67項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項72】 フローティング・ゲート領域の第2のサイドが、フローティング・ゲート領域が隣接したドレイン拡散領域を覆って延在するように絶縁領域を覆って画定められることを特徴とする特許請求の範囲第71項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項73】 第1の絶縁性材料が、二酸化珪素からなることを特徴とする特許請求の範囲第65項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項74】 コントロール・ゲート絶縁性物質が、ONOからなることを特徴とする特許請求の範囲第65項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項75】 第1の絶縁性物質が、約120オングストローム以下のフローティング・ゲート導電性物質に達しない厚さを有する二酸化珪素からなることを特徴とする特許請求の範囲第65項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項76】 第1の絶縁性物質がフローティング・ゲート導電性物質に達しない厚さを有する二酸化珪素から、コントロール・ゲート絶縁性材料が、実質的にトンネル絶縁性物質の厚さより大きい厚さをもったONOからなることを特徴とする特許請求の範囲第65項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項77】 ソース拡散領域をドーピングするステップが、傾斜状接合を有するようドーパントの分布を設定することからなることを特徴とする特許請求の範囲第65項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項78】 少なくとも、延在したチャンネル領域における該半導体基板に絶縁性物質を設けることと、少なくとも、伸長したチャンネル領域における第1の絶縁性物質を覆うフローティング・ゲート導電性物質を設けることと、フローティング・ゲート導電性物質を覆うコントロール・ゲート絶縁性物質を設けることと、該半導体基板に延在したソース拡散領域及びドレイン拡散領域を、フローティング・ゲート導電性材料でアラインして露呈することと、ドレイン拡散領域を第1の分布をもったドーパントでド

ープすることと、

ソース拡散領域を第2の分布をもったドーパントでドーピングすることと、

ソース及びドレイン拡散領域と、何かの露出したフローティング・ゲート導電性物質を覆う絶縁層を設けること、そしてコントロール絶縁性物質及びフローティング・ゲート導電性物質を覆う、多数の導電性物質の行を形成することからなることを特徴とするフローティング・ゲート・メモリ・アレーの製造方法。

10 【請求項79】 ソース及びドレイン拡散領域をドーピングするステップが、ソース及びドレイン拡散領域の双方への第1のドーパントの第1インプラントと、ソース拡散領域への第2のドーパントの第2インプラントとからなることを特徴とする特許請求の範囲第78項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項80】 第1の絶縁性物質が、二酸化珪素からなることを特徴とする特許請求の範囲第78項記載のフローティング・ゲート・メモリ・アレーの製造方法。

20 【請求項81】 コントロール・ゲート絶縁性物質が、ONOからなることを特徴とする特許請求の範囲第78項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項82】 第1の絶縁性物質が、約120オングストローム以下のフローティング・ゲート導電性物質に達しない厚さを有する二酸化珪素からなることを特徴とする特許請求の範囲第78項記載のフローティング・ゲート・メモリ・アレーの製造方法。

30 【請求項83】 コントロール・ゲート絶縁性物質が、フローティング・ゲート導電性物質と120オングストロームの±約20%の導電性物質の行との間の厚さを有するONOからなることを特徴とする特許請求の範囲第82項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項84】 ソース及びドレイン拡散領域をドーピングするステップが、傾斜状接合を形成するソース領域におけるドーパントの第1分布、一層険しい接合を形成するドレイン領域におけるドーパントの第2分布を設定することからなることを特徴とする特許請求の範囲第78項記載のフローティング・ゲート・メモリ・アレーの製造方法。

40 【請求項85】 第1方向に延在された半導体基板に多数の分離領域を離間して設けられ、該半導体基板上に第1方向に延在された多数の絶縁領域を形成することと、少なくとも、該半導体基板に、分離領域内に延在するチャンネル領域に第1の絶縁性物質を被着すること、少なくとも、延在したチャンネル領域に、第1の絶縁性物質を覆うフローティング・ゲート導電性材料を被着することと、少なくとも、該チャンネル領域に該第1の絶縁性物質を覆うフローティン・ゲート導電性物質を被着すること



と、  
 該フローティング・ゲート導電性物質を覆うコントロール・ゲート導電性物質を被着すること、  
 該半導体基板に延在したソース及びドレイン拡散領域を、フローティング・ゲート導電性材料でアラインして、露出することと、  
 ソース及びドレイン拡散領域をドーピングすることと、  
 ソース及びドレイン拡散領域と何かの露出されたフローティング・ゲート導電性材料を覆う絶縁層を生成すること、そしてコントロール絶縁性物質及びフローティング・ゲート導電性物質を覆う多数の導電性物質の行を形成することを特徴とするフローティング・ゲート・メモリ・アレーの製造方法。

【請求項86】 多数のソース及びドレイン拡散領域を露出させるステップが、個々のドレイン拡散領域の一端をそれぞれの絶縁領域とアラインし、そして個々のドレイン拡散領域の第2の端をフローティング・ゲート導電性物質とアラインすることからなることを特徴とする特許請求の範囲第85項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項87】 多数のドレイン拡散領域を定めるステップが、個々の分離された領域における2個のドレイン拡散領域と、フローティング・ゲート導電性物質の2個の領域を定めることからなることを特徴とする特許請求の範囲第85項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項88】 多数のドレイン拡散領域を定めるステップが、個々の分離された領域における第1のドレイン拡散領域の一端を第1の絶縁領域とアラインし、そして個々の分離された領域の内部の第2のドレイン拡散領域の反対の端を第2の絶縁領域とアラインすることからなることを特徴とする特許請求の範囲第87項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項89】 第1の絶縁性物質が、二酸化珪素からなることを特徴とする特許請求の範囲第85項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項90】 コントロール・ゲート絶縁性物質が、ONOからなることを特徴とする特許請求の範囲第85項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項91】 第1の絶縁性物質が、約120オングストローム以下のフローティング・ゲート導電性物質に達しない厚さを有する二酸化珪素からなることを特徴とする特許請求の範囲第85項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【請求項92】 コントロール・ゲート絶縁性物質が、フローティング・ゲート導電性物質と120オングストロームのプラス又はマイナス約20%の横列の導電性物質との間の厚さを有するONOからなることを特徴とする特許請求の範囲第91項記載のフローティング・ゲート・メモリ・アレーの製造方法。

ト・メモリ・アレーの製造方法。

【請求項93】 ソース及びドレイン拡散領域をドーピングするステップが、傾斜状接合を形成するソース領域におけるドーパントの分布、及び一層険しい接合を形成するドレイン領域におけるドーパントの分布を設定することからなることを特徴とする特許請求の範囲第85項記載のフローティング・ゲート・メモリ・アレーの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、不揮発性メモリに関するものであって、殊に、フローティング・ゲート・トランジスタを用いたフラッシュEPROMセル、アレー装置、及びその製造方法に係るものである。

【0002】

【従来の技術】 フラッシュEPROMは、不揮発性の電荷蓄積型半導体集積回路の内で成長しつつある分野である。これらのフラッシュEPROMは、チップ内のメモリ・セルを電氣的な消去、プログラミング及び読み取りをする能力を備えている。フラッシュEPROMのメモリ・セルは、データがフローティング・ゲートをチャージ又はディスチャージすることによってセルに蓄積される所謂フローティング・ゲート・トランジスタを用いて形成されている。フローティング・ゲートは、導電性物質、一般的にはポリSiで作られており、トランジスタのチャネルからは、酸化膜又は他の絶縁性の薄膜によって絶縁され、且つ、第2の絶縁膜によってトランジスタのコントロール・ゲート又はワード線から絶縁されている。

【0003】 フローティング・ゲートをチャージするという動作は、フラッシュEPROMの“プログラム”ステップと称される。このステップは、ゲート及びソース間に12ボルト程の大きさの正の電圧を印加し、又、ドレイン及びソース間に正の電圧、例えば、7ボルトの電圧を印加することによってなされ、所謂、ホット・エレクトロンの注入によってなされる。フローティング・ゲートをディスチャージする動作は、フラッシュEPROMの“消去”機能と呼ばれる。この消去機能は、フローティング・ゲートとトランジスタのソースとの間（ソース消去）、又はフローティング・ゲートと半導体基板との間（チャネル消去）でのF-Nトンネルのメカニズムによって典型的になし遂げられる。例えば、ソース消去作用は、それぞれのメモリ・セルのドレインを浮かしながら、ソースからゲートへ大きな正の電圧を印加することによって達成される。この正電圧は、12ボルトにもなる。

【0004】 従来のフラッシュEPROMの構造及び機能に関する詳細については、関連技術の背景を教示している以下のU. S. パテントによって知ることができ

る。Mukherjee, et al., U.S. Patent No. 4,698,787 issu



ed October 6, 1987;Holler, et al., U.S. Patent No. 4, 780, 423 issued October 25, 1988. フラッシュEPR OMのICに関するより進んだ技術は、次の文献に述べられている。Woo, et al., "A Novel Memory Cell Using Flash Array Contactless EPROM (FACE) Technology", IEDM 1990, Published by the IEEE, Pages 91-94 及びWoo, et al., "A Poly-Buffered "FACE" Technology for High Density Memories", 1991 SYMPOSIUM ON VLSI TECHNOLOGY, page 73-74 "コンタクトレス"・アレーEPR OM装置の従来技術の一例が以下に記述されている。Kazerounian, et al., "Alternate Metal Virtual Ground EPROM Array Implemented In A 0.8 $\mu$ m Process for Very High Density Applications", IEDM, Published by IEEE 1991, pages 11.5.1-11.5.4。

#### 【0005】

【発明が解決しようとする課題】Woo, et al. 及びKazerounian, et al. の出版物によって明らかなように、コンタクトレス・アレー不揮発性メモリの設計についての関心が高まっている。所謂、コンタクトレス・アレーは、埋め込まれた拡散層によって互いに結合されてなる蓄積セルによるアレーによって形成されており、埋め込まれた拡散層は、コンタクトによってメタル・ビット線へ間欠的に結合されているだけである。Mukherjee, et al. のシステムのような初期のフラッシュEPR OMの設計では、各メモリ・セルに対して"ハーフ"・メタル・コンタクトが必要とされる。何故ならば、メタル・コンタクトは、半導体集積回路では、かなりの面積を占有しているので、それらは高密度なメモリを設計する上では大きな障害となる。更に、デバイスをより一層小さくして、面積を縮小しようとすると、アレー内の蓄積セルにアクセスする為に使用される隣接したドレインとソース・ビット線のコンタクトを覆うメタルによって、制限されることになる。

【0006】本発明は、上述に鑑みてなされたもので、フローティング・ゲート・トランジスタからなる不揮発性メモリ・セルの改良に関するものであり、殊に、高密度に集積が可能なフラッシュEPR OMセルと、そのアレー装置を提供するとともに、その製作方法を提供することを目的とするものである。又、改良されたフラッシュEPR OMセルを用いたメモリ回路を提供することを目的とするものである。

#### 【0007】

【課題を解決するための手段】本発明は、不揮発性メモリ・セル（フラッシュEPR OMセル）は、一つのソース拡散層を2個のフローティング・ゲート・トランジスタが共用する独特のドレイン・ソース・ドレイン構成に基くものであって、延在する第1と第2のドレイン拡散領域とソース拡散領域は、半導体基板に沿って形成される。フィールド酸化物領域は、第1と第2のドレイン拡散領域の外側に形成される。フローティング・ゲートと

コントロール・ゲート・ワード線は、共用されたソース領域をもつ2列からなる蓄積セルから形成されたドレイン・ソース・ドレイン構造に対して直交するように形成される。前記共用されたソース領域は、下部のブロック・セレクト・トランジスタによって仮想グランド・ターミナルに結合される。各ドレイン拡散領域は、上部のブロック・セレクト・トランジスタによって広域ビット線に結合される。本発明によるセル構造は、ドレイン、ソースとドレイン拡散領域、そして埋め込み拡散ラインのような水平のコンダクタを介して、複数の列トランジスタを仮想グランド・ターミナルに結合している仮想グランド・サブライに対し、実質的に平行に延在する二つの広域ビット線を使用する。このようにして、2個のトランジスタからなるセルに対して、二個のメタル・コンタクト・ピッチを必要とするだけである。

【0008】本発明の別の観点によれば、これらの複数のドレイン・ソース・ドレイン構造が1個の大きなICに配列され、高密度の不揮発性の電荷蓄積型半導体集積回路が得られる。この不揮発性の電荷蓄積型半導体集積回路は、上部と下部のブロック・セレクト・トランジスタを用いることにより、ブロックの境界に沿って分割され得るとともに、個々の消去作用を可能とする。また、ブロック・セレクトという特徴は、複数のメモリ・セルからなる単一のブロックを一度に広域ビット線に結合する。このことは、アレーの所定の列に沿ったトランジスタへのリーク電流に対する改善をもたらす。

【0009】かくして、1個のメモリ回路が、各々がN列、M行からなる蓄積セルを有するK個のサブアレーとして提供される。蓄積セル列内の各蓄積セルは、それぞれが第1ターミナル、第2ターミナル及び制御ターミナルを有している。それぞれの行に対応する蓄積セルの制御ターミナルに結合された多数のワード線がある。蓄積セルの各々の列に対応したビット線からなるN個の広域ビット線、及び各々が、それぞれのサブアレー内部におけるそれぞれの列において、M個の蓄積セルの第1ターミナルに結合されている多数の局所ビット線がある。上部のブロック・セレクト・トランジスタは、蓄積セルのサブアレー内の局所ビット線を、サブアレー・セレクト信号に応じて対応する広域ビット線へ選択的に接続する。その上に、多数の局所仮想グランド線、及びサブアレー内の局所仮想グランド線を局所仮想グランド・ターミナルに接続する手段が含まれている。前記局所仮想グランド線の各々は、それぞれのサブアレーで、列における蓄積セルの第2ターミナルに結合されている。広域ビット線へ結合された列セレクト・トランジスタは、蓄積セルのN個の列へ選択的にアクセスすることができるようになっている。

【0010】上述のようなメモリセル及びそのアレー装置に加え、フローティング・ゲート・デバイスのアレーの製造方法が提供されている。第1番目の方法は、以下

のように構成される。第1方向に延在した多数のドレイン拡散領域を画定すること；ドレイン拡散領域をドーブすること；トンネル絶縁性膜を、少なくともドレイン拡散領域に隣接した領域内の半導体基板主表面に形成すること；フローティング・ゲート導電性物質を、少なくともドレイン拡散領域に隣接した領域内のトンネル絶縁性膜に設けること；コントロール・ゲート絶縁性物質を、フローティング・ゲート導電性膜に形成すること；延在するソース拡散領域を、半導体基板の主表面に形成させたフローティング・ゲート導電性物質によって、フローティング・ゲート導電性物質とアラインさせて露出すること；ソース拡散領域をドーブすること；絶縁層を、ソース拡散領域と露出したフローティング・ゲート導電性物質にも設けること；そして多数の導電性物質からなる行を、コントロール絶縁性物質及びフローティング・ゲート導電性物質を覆うように形成すること。第2の方法は、以下のように構成される：トンネル絶縁性物質を、少なくとも延在されたチャネル領域を半導体基板主表面を覆うように形成すること；フローティング・ゲート導電性物質を、少なくとも延在したチャネル領域内のトンネル絶縁性物質を覆うように設けること；コントロール・ゲート絶縁性物質を、フローティング・ゲート導電性物質を覆うように設けること；半導体基板に延在したソース拡散領域及びドレイン拡散領域を、フローティング・ゲート導電性物質によってアラインさせて露出すること；ドレイン拡散領域を、ドーパントを第1の分布でドーブすること；ソース拡散領域を、ドーパントを第2の分布でドーブすること；絶縁層を、ソース及びドレイン拡散領域を覆い、露出したフローティング・ゲート導電性物質の上部にも成長させること；そして多数の導電性物質からなる行を、コントロール絶縁性物質及びフローティング・ゲート導電性物質を覆うように形成すること。

#### 【0011】

【作用】本発明のフローティング・ゲート・トランジスタおよび不揮発性メモリには、幾つかの明瞭な特徴が存在する。第1は、隣接するドレイン及びソース・ビット線のメタル・ピッチが、ソース（仮想グラウンド）ビット線を共有する構造を有することによって緩和される。前記ビット線は、トランジスタ16等を平行に通る、メタル・ドレイン・コンタクト線又は広域ビット線とともに1個のメタル・ソース線に結合されている。このことによって、非常に稠密なコア・アレーを得ることができる。第2には、フラッシュEPROMアレーは、サブアレーへ分割される該フラッシュEPROMアレーが完全にデコードされたブロック・セレクト線によって選択されている間、セクター消去が実行できることになるとともに、メモリ・セルの障害は、その対応するサブアレーが選択されている間のみを生ずる。これは、製品の動作と信頼性を非常に改善するものである。第3としては、

第1のセル・タイプでは、セルのソース側は、数多くの酸化処理過程を受けないので、ソース接合の端部は、非常に優れた完全性を保持している。更に特徴的なものは、ソース接合端がドーパントの欠乏と従来技術によって設計されたセルにありがちな酸化膜端部の厚さを厚くする作用を受けないのである。従来技術では、ソース注入後にもっと広範の酸化処理過程がある。このような理由で、新規なセルには良好なソース消去作用が期待できる。更に、かなり高いゲート・カップリング比が独特のセルのレイアウトによって実現され得る。前記レイアウトでは、フローティング・ゲート・ポリSi層がドレイン及びフィールド酸化物領域を覆って延在し、コントロール・ゲートのフローティング・ゲート・ポリSiに対するカップリング面積を著しく増大させることができる。

【0012】又、第1の製造方法によれば、セル構造におけるソース拡散領域は、隣接したトランジスタ列におけるフローティング・ゲート・トランジスタにセルフ・アラインされる。同様に、ドレイン拡散領域は、各ブロックの反対側の絶縁領域にセルフ・アラインされる。更に、第2の製造方法によれば、ドレイン及びソース拡散領域の双方がフローティング・ゲートにセルフ・アラインされる。従って、ドレイン-ソース-ドレイン構成を、アレー内の総てのメモリ・セル・トランジスタに対して実質的に一様なチャネル長を作ることができる。又、ソースは、傾斜状接合を与えるドーパントの分布でイオン注入によってなされることにより、ソース消去作用の間のトンネリングを容易とする。

#### 【0013】

【実施例】以下、本発明について、図1乃至図8に基づいて説明する。図1、図2は、本発明に係るフラッシュEPROM装置の回路図を示している。図3は、本発明によるフラッシュEPROM装置のメモリ回路のブロック図を示している。図4、図5及び図6、図7は、本発明に係るフラッシュEPROMセルの製造方法を示す断面図である。図8は、その平面図である。図1は、本発明に係るフラッシュEPROMのドレイン-ソース-ドレイン回路構成（ソースを共通とする一対のトランジスタからなる構成）を説明する。この回路構成は、第1の局所ビット線10及び第2の局所ビット線11を有している。第1及び第2の局所ビット線10及び11は、以下に説明するような埋め込まれた拡散層の導電体によって得られる。また、局所仮想グラウンド線12も埋め込まれた拡散層により得られる。ゲート、ドレイン及びソースを有する多くのフローティング・ゲート・トランジスタは、局所ビット線10、11及び局所仮想グラウンド線12に結合されている。大多数のトランジスタのソースは、局所仮想グラウンド線12に結合されている。13で示される第1列のトランジスタのドレインは、第1の局所ビット線10に結合され、14で示される第2列のト

ランジスタのドレインは、第2の局所ビット線11に結合される。フローティング・ゲート・トランジスタのゲートは、ワード線WL。乃至 $WL_N$ に結合される。尚、ここで各ワード線（例えば、 $WL_1$ ）は、第1列のトランジスタ（例えばトランジスタ15）及び第2列のトランジスタ（例えばトランジスタ16）のゲートに結合される。かくして、トランジスタ15及び16は、ソース拡散層を共用する2個のトランジスタからなるセルと考えることができる。

【0014】フローティング・ゲートをチャージする動作は、フラッシュEPROMセルのプログラム・ステップと呼ばれる。これは、ゲート及びソース間に、12ボルト程の大きな正の電圧を、ドレイン及びソース間に6ボルトの正の電圧を印加することによるホット・エレクトロンの注入によってなし得られる。フローティング・ゲートをディスチャージする動作は、フラッシュEPROMセルの消去ステップと呼ばれる。これは、フローティング・ゲート及びソース間のF-Nトンネル機構（ソース消去）又はフローティング・ゲート及び半導体基板間のF-Nトンネル機構（チャネル消去）によってなされる。ソース消去は、ゲートを接地するか、又は-8ボルト程度に負にバイアスし、ソースに12ボルト又は8ボルト程度に正のバイアスを加えることによって行われる。チャネル消去は、ゲートに負のバイアスを加えること、及び（又は）半導体基板に正のバイアスを加えることによって行われる。

【0015】図1に示されているように、第1の広域ビット線17と第2の広域ビット線18は、各ドレイン-ソース-ドレイン回路構成のセルと関係付けられている。第1の広域ビット線17は、メタル-拡散コンタクト20を介して上部のブロック・セレクト・トランジスタ19のソースに結合されている。同様に、第2の広域ビット線18は、メタル-拡散コンタクト22を介して上部のブロック・セレクト・トランジスタ21のソースに結合されている。上部のブロック・セレクト・トランジスタ19、21のドレインは、第1及び第2の局所ビット線10及び11に、それぞれ結合されている。上部ブロック・セレクト・トランジスタ19、21のゲートは、ライン23に印加されるブロック・セレクト信号TBSELによって制御される。

【0016】局所仮想グラウンド線12は、下部ブロック・セレクト・トランジスタ25を介して、コンダクタ24を通して仮想グラウンド・ターミナルに結合される。下部ブロック・セレクト・トランジスタ25のドレインは、局所仮想グラウンド線12に結合される。下部のブロック・セレクト・トランジスタ25のソースは、コンダクタ24に結合される。下部のブロック・セレクト・トランジスタ25のゲートは、ライン26に印加される下部のブロック・セレクト信号BBSELによって制御される。本発明が提起したシステムでは、コンダクタ24

は、埋め込まれた拡散層による導電体であって、それはアレーを経てメタル-拡散コンタクトまで水平に延びている。このメタル-拡散コンタクトによって、垂直方向に延びるメタル仮想グラウンド・バスと接触される。

【0017】広域ビット線17、18は、アレーを経て垂直に、それぞれの列セレクト・トランジスタ27、28へ延びている。トランジスタ27、28によってセレクト広域ビット線がセンス・アンプ及びプログラム・データ回路（図示されていない）に結合されている。かくして、列セレクト・トランジスタ27のソースは、広域ビット線17に結合され、列セレクト・トランジスタ27のゲートは、列デコード信号 $Y_1$ が供給されるとともに、列セレクト・トランジスタ27のドレインは、コンダクタ29に結合されている。

【0018】図2に示した多数のサブアレーは、図1に示したフラッシュEPROMセルのブロックによって構成されている。図2は、全体のICの内の2個のサブアレーを図示している。サブアレーは、一点鎖線50に沿って区分され、一点鎖線50から上部にサブアレー51Aを、下部にサブアレー51Bを有している。第1のブロック52は、ビット線（例えば、ビット線70、71）に沿って第2のブロック53とは対象に配置されている。一対のビット線70、71の上部、下部に、これらのメモリ・サブアレーは、メタル-拡散コンタクト55、56、57、58を共通とし、仮想グラウンド・コンダクタ54A、54B（埋め込まれた拡散層）のように分けられている。仮想グラウンド・コンダクタ54A、54Bは、メタル-拡散コンタクト60A、60Bを経て垂直方向に配置された仮想グラウンド・メタル線59までアレーを越えて水平に延びる。サブアレーは、隣接するサブアレーがメタル仮想グラウンド線59を共有するように、メタル・仮想グラウンド線59の反対側に形成される。メタル仮想グラウンド線59は、デコード信号 $Z_N$ で制御される仮想グラウンド・セレクト・トランジスタ79を介してアレー・グラウンド及び消去高電圧回路に結合される。仮想グラウンド・セレクト・トランジスタ79は、メタル線59を共用しているアレー領域を高電圧消去から分離するのに使用することができる。かくして、サブアレーの配置には、広域ビット線に対し2トランジスタ・セルからなる列当たり2個のメタル・コンタクト・ピッチが、そしてメタル仮想グラウンド線59に対してはサブアレー当たり1個のメタル・コンタクト・ピッチが必要とされる。

【0019】更に、図2に示された2個のサブアレーは、追加デコーディングがそれらの上部及び下部にそれぞれブロック・セレクト信号TBSELA、TBSELB、BBSELA及びBBSELBによって供給されるので、ワード線信号は共有することができる。或る提起されたシステムでは、各サブアレーが8ブロックからなり、32個の一対のトランジスタ・セルと各列のワード

線からなっており、512個のセル・サブアレーがあり、合計16本の広域ビット線及び32本のワード線がある。明らかなように、本発明による装置は、セクター・フラッシュEPROMアレーを形成し得る。これは、読み、プログラム又は消去サイクルの間、不選択サブアレー内のトランジスタのソース及びドレインが、ビット線及び仮想グランド線に印加された電流及び電圧から絶縁されるので有利である。かくして、読み出し操作時、不選択サブアレーからの漏れ電流がビット線に印加される電流に関与しないので、読み取り操作が改善される。プログラム及び消去の操作の時は、仮想グランド線の高電圧、及びビット線が不選択ブロックから分離される。これは、セクター消去操作を可能とする。下部のブロック・セレクト・トランジスタ（例えば、トランジスタ65A、65B）は、或る実施においては、必要としないことが判断できるであろう。又、これらのブロック・セレクト・トランジスタは、図6に関して下部に図示されているように、隣接するサブアレーとともに下部ブロック・セレクト信号を共有することができる。代わりとして、下部ブロック・セレクト・トランジスタ（例えば、65A、65B）は、隣接する仮想グランド・ターミナル60A、60Bを一個のアイソレーション・トランジスタによって置き換えることができる。

【0020】図3は、本発明に係るフラッシュEPROMICの概要を示すブロック図である。フラッシュEPROMICは、図2に示したメモリ・アレー100を有し、多数の余分セル101が、損傷したメモリ・アレーに置き換えられ得るようにシステムに備えられている。更に、この回路は、多数の参照セル102、センス・アンプ、プログラム・データ入力回路、並びにアレー・グランド及び消去高電圧回路を含むブロック103、ワード線及びブロック・セレクト・デコードを含むブロック104、そして列デコード及び仮想グランド・デコードを含むブロック105を備えている。参照セル102は、製作の間に生じる、或いは、読み取られるビット線に印加される電圧及び電流に反映される等の、チャネル長の変化を計数するためにブロック103のセンス・アンプに結合される。参照セル102は、プログラミング及び消去電圧の発生にも使用され得る。この冗長セル装置は、上述で検討されたようなフラッシュEPROMアレーの分割された構成によって可能となった。ワード線及びブロック・セレクト・デコード104並びに列及び仮想グランド・デコード105は、冗長セルは、メモリ・アレー100内の不動作セルと置換し得るようテストした後にはプログラムすることができる。加えて、回路は消去、プログラム及び読み操作、そして種々の動作の間で使用される仮想グランド、ドレイン及びワード線の電圧を制御するためのモード・コントロール回路106を有している。

【0021】本発明に係るフラッシュEPROMセル及

び上述の回路で使用されるセルの製作方法が、図4A乃至図4Dと図5A乃至図5D、並びに、図6A乃至図6Dと図7A乃至図7Cによる断面図によって示されている。図8は、その平面図である。第1のセル・タイプの実施例が図4A乃至図4Dと図5A乃至図5Dに図示されている。この断面図で示したセルの製造工程は、その概略を示すものである。図4Aは、第1ステップのプロセスを図示している。Nチャネル・セルを作るためには、P<sup>-</sup>型のSi半導体基板100を用意し、よく知られたLOCOSフィールド酸化プロセスによって、垂直な方向に成長する比較的厚いフィールド酸化物領域101、102を生成させる。また、薄い酸化膜103がフィールド酸化物101、102の外周の半導体基板主表面に生成される。図4Bに図示されるように、次のステップでは、フォトレジスト・マスク104がフィールド酸化物101、102の間に被着され、該マスクは、フィールド酸化物領域101、102に本質的に平行線に沿って延在している。これによって、ドレイン拡散領域がフィールド酸化物101とフォトレジスト・マスク104との間、及びフィールド酸化物102とフォトレジスト・マスク104との間に定められる。N型ドーパントが、矢印によって概略的に示されているように、薄い酸化膜103を通して半導体基板100にイオン注入される。かくして、ドレイン拡散領域が素子分離フィールド酸化物101及び102によってセルフ・アラインされる。

【0022】次のステップでは、図4Cに示されるように、フォトレジスト・マスク104が除去され、局所ビット線105及び106が形成するために、半導体基板100に注入されたN型ドーパントをアニールして、活性化する。また、ドレイン酸化物107、108が拡散ビット線105、106を覆うように生成される。図4Dは、セル製作の次のステップを図示している。特に、薄い酸化膜103がブランク・ウェット・エッチによって除去され、そしてトンネル酸化膜110がドレイン拡散ビット線105、106の間に生成される。トンネル酸化膜110の厚さは、この実施例のシステムでは、ほぼ100オングストロームである。しかし、トンネル酸化膜110は、フラッシュEPROMセルでは約120オングストローム以下である。より厚い酸化膜は、UV-EPROMセルのような不揮発性セルに用いられ得るが、消去動作のためのトンネル酸化膜には、このような厚い酸化膜使用しない。埋め込まれた拡散層によるビット線105、106の上部の酸化膜107、108は、このステップでは約1000オングストロームの厚さである。

【0023】図5Aに示される次のステップは、ポリSi層111の第1層を被着し、このポリSiを導電体にするために不純物元素をドーブする工程である。それから、酸化物/窒化物/酸化物(ONO)層112が第1

のポリSi層111にコントロール・ゲート絶縁膜を設けるために生成される。このステップによるポリSi層111層は、約1500オングストロームの厚さであり、ONO層は、約250オングストロームの厚さである。図5Bは、セルフ・アラインによるソース拡散領域がフォト・マスク・プロセスを用いて定められる。フォト・マスク・プロセスの後に、ポリSi層111及びONO絶縁層112は、ソース拡散領域を露出させるためにエッチされる。また、フローティング・ゲート・ポリSi層111及びONO層112が、フローティング・ゲートの巾を定めるためにエッチされる。かくして、エッチングされたポリSi層111の一方はソース拡散領域を画定し、他方はフローティング・ゲートの巾を画定する。この実施例においては、後者はフィールド酸化物領域101又は102の上部に位置している。その後、ソース拡散領域は、ドレイン拡散領域105、106と平行に延在する $N^+ / N^-$ の二重拡散された拡散領域を形成するためにN型ドーパントがイオン注入されている。使用されるドーパントは、二重拡散を形成するために、燐と砒素が合わせたものである。

【0024】図5Cに示されているように、フォトレジストは、除去されて半導体基板はアニールされる。 $N^+$ と $N^-$ ドーパントを拡散しアニールすることによって、ソース拡散領域115を活性化する。また、ソース酸化膜116が生成され、且つ、酸化膜117が、フローティング・ゲートを後で定められるワード線・ポリSi層から分離するための、フローティング・ゲート・ポリSi層111の側面に沿って生成される。図5Dは、フラッシュEPROMセルの製造プロセスの次のステップを図示している。これは、第2のポリ層118を被着することと、ワード線を定めるためにフォト・マスク・プロセスを使用することを含む。フォト・マスク・プロセスにおいては、ワード線を定めるエッチが、それぞれのトランジスタのフローティング・ゲートを定めるため、フローティング・ゲート・ポリSi層111まで続けられる。ワード線118は、約4,500オングストロームの厚さである。最後にパッシベーション及びメタリゼーション層（図示されていない）がセルの上部に被着される。

【0025】図5Dに示されるように、第1トランジスタがドレイン拡散ライン105とソース拡散ライン115との間に、第2のトランジスタがドレイン拡散ライン106とソース拡散ライン115との間にそれぞれ形成されたセル構造が得られる。フローティング・ゲートは、ソース拡散ライン115からドレイン拡散ライン105を横切り、そしてフィールド酸化物101を覆って延びている。本実施例では、これらのフローティング・ゲート酸化膜は、約2.4ミクロンの長さで、そして巾は0.8ミクロンであ。一方、トランジスタの上部におけるドレイン酸化膜107の一端からソース酸化膜11

6の一端までの、トンネル酸化膜110の巾は、約1.2ミクロンである。ドレイン拡散ライン105とフィールド酸化物102を覆う冗長領域は、カップリング比を約50%以上の大きさまでフローティング・ゲートによって増加するために用いられる。何故ならば、ONO層は、約250オングストローム厚さで、そしてトンネル酸化膜は約100オングストローム厚さであるので、カップリング比は、フローティング・ゲートの領域を増加させることによって改善させなければならないからである。代わりとして、ONO層をより一層薄く作って、フローティング・ゲートに必要とされる領域を減少してよい。理解されるように、ソース拡散はドレイン拡散とは独立したステップで行われ、それぞれのトランジスタのチャネルに傾斜接合を作ってソース消去機能を助長するために、別の分布をもったドーパントでイオン注入される。チャネル消去タイプ又はUV消去タイプのフローティング・ゲートでは、傾斜接合及びソース拡散は必要とされない。

【0026】次に、図6A乃至図6Dと図7A乃至図7Cは、本発明による第2のセル・タイプの実施例を断面図で示している。図6Aに図示されているように、第1ステップは、図4Aに記述したようなフィールド酸化物201、202を生成させることである。また、不用品酸化膜が生成され、この酸化膜は、トンネル酸化膜を生成するための半導体基板200を用意するために除去される。図6Bに図示されているように、薄いトンネル酸化膜203が約100オングストローム厚さに生成される。次の図6Cのステップでは、ポリSi層を被着するとともにドーパントをドーブし、カップリング比が約50%以上になるように、120オングストローム厚さのONO層205を生成させる。より厚い酸化薄膜203とONO層205がUV-EPROMセルに使用される。図6Dにおいては、フォト・マスク・プロセスがフローティング・ゲート及び $N^+$ 層のソースとドレイン拡散領域を画定するために用いられる。かくして、フォト・マスク層206及び207は、フローティング・ゲート領域を保護するために定められる。ポリSi層の204及びONOの205の層が、マスク206と207によって覆われた部分を除いてエッチされ、ドレイン、ソース及びドレイン領域を露出させる。次に、N型ドーパントが、矢印208で図示されるように露出領域内にイオン注入される。これらの領域は、フローティング・ゲートとフィールド絶縁領域にによるセルフ・アラインによって形成する。フラッシュEPROMアレーについては、次ステップの図7Aに図示されている。このステップによれば、フォト・マスク・プロセスがドレイン領域及び素子分離領域を覆うマスク210、211が用いられる。このステップでは、N型のドーパントが矢印212で表されているようにイオン注入され、ソース領域は、傾斜接合を形成するべく $N^+$ と $N^-$ 型のドーパントを有

することになる。尚、図7Aにおけるステップは、UV消去型EPROMセルの製造方法の説明では、省略することができる。

【0027】図7Bで図示されているように、半導体基板は、ドーパントを活性化するためにアニールされ、そしてドレイン拡散領域213と214並びにソース拡散領域215を画定する。また、ドレイン酸化膜216、217及びソース酸化膜218は、フローティング・ゲート・ポリSiの側面に沿って覆う酸化膜が生成される。最後に、図7Cに示されているように、第2のポリSi層219が被着されるとともにトランジスタを定めるためにエッチされる。この実施例においては、ONOサンドイッチ205は、トンネル酸化膜の厚さの±20%以内の厚さであるので、カップリング比が高くて(略40%乃至60%の範囲内、なるべくは約50%)、ドレイン及びフィールド素子分離領域上に延在したフローティング・ゲートを使用する必要がない。最後にパッシベーション及びメタリゼーション層(図示されていない)が図7Cの素子に被着される。このようにして、図7Cに見られるように、第2のタイプによるセル構造は、第1トランジスタが、埋め込みドレイン拡散領域213と埋め込みソース拡散領域215との間に、第2トランジスタが、埋め込みドレイン拡散領域214と埋め込みソース拡散領域215との間に形成されている。各トランジスタは、第1のポリSi層204で作られたフローティング・ゲートを有している。フローティング・ゲートは、各トランジスタのチャネル領域からトンネル酸化膜203によって絶縁され、ワード線・ポリSi層219内のコントロール・ゲートからはONO層205によって絶縁されている。ONO層205は、フラッシュEPROM動作のための十分に高いカップリング比を確保するために、トンネル酸化膜203の厚さは約±20%の範囲内の厚さである。

【0028】図6A乃至図6Dと図7A乃至図7Cに図示されたセル・タイプにおけるONO層205の厚さは、十分に薄いので、フローティング・ゲートの表面面積は、図4A乃至図4Dと図5A乃至図5Dに図示された第1のタイプのセル構造においてなされたように延長する必要はない。更に、図7Cで図示された構造においては、第1及び第2ドレイン拡散領域213、214及びソース拡散領域215の総ては、第1のポリSi層204及びONO絶縁層205によって得られたフローティング・ゲート構造でセルフ・アラインされている。これは、各トランジスタのチャネル長が実質的に等しいということを実証するものである。

【0029】図8は、図4、図5に示されたEPROMセルICのサブ・アレーの配置図が示されている。この配置は、図7Cで示されたセルについても、フローティング・ゲートの大きさを除いて実質的に同一であることは明らかである。図8に見られるように、ICは、サブ

アレーを経て垂直に延在している多数の分離領域300乃至302を有する。これらの分離領域は、図5Dに図示した厚い酸化膜101、102に対応する。これらのフィールド酸化膜300、301は、分離領域を画定され、これらの間に領域303がある。素子分離された領域内には、図5Dの拡散ライン105と106に対応する帯状の第1の埋め込み拡散ライン304と第2の埋め込み拡散ライン305がある。帯状の埋め込み拡散ラインの間に、図5Dの拡散ライン115に対応するソース拡散ライン306が存在する。多数のワード線307乃至309は、アレー装置のフローティング・ゲート・トランジスタのコントロール・ゲートを画定する分離領域を横切っている。フローティング・ゲート(例えば、切欠部の310を見よ)は、トンネル酸化膜とそれぞれのワード線との間に半導体基板を覆っている。

【0030】上部のセレクト・トランジスタは、局所ビット線によって画定された埋め込み拡散ライン304、305の各々に結合されている。例えば、切欠かれた領域311にあるブロック・セレクト・トランジスタは、延在する埋め込み拡散領域304と結合されているドレイン312と、メタルー拡散コンタクト314によってメタル線(図示されていない)に結合されているソース313を有している。前記メタル線は、サブ・アレーの上部で分離領域300と平行して延在する。同様に、第2の埋め込み拡散ライン305は、上部のセレクト・トランジスタのドレイン315に結合される。このトランジスタは、メタルー拡散コンタクト317に結合され、そして該コンタクトを介して広域ビット線として作用する垂直に延びるメタル線(図示されていない)へ結合されているソース316を有する。上部のブロック・セレクト・トランジスタのゲートは、アレーを横切って水平に延在している上部のセレクト・ワード線318によって設定される。局所ビット線304をメタルー拡散コンタクト314に結合している上部のブロック・セレクト・トランジスタは、局所ビット線305をメタルー拡散コンタクト317に結合しているブロック・セレクト・トランジスタから、フィールド酸化膜領域319によって分離されている。このようにして、各列のトランジスタは、読み及びプログラム動作に対して独立に選択することができる。

【0031】局所ソース拡散306は、埋め込み拡散ソース320と埋め込み拡散ドレイン321を有する下部のブロック・セレクト・トランジスタに結合される。埋め込み拡散ドレインは、アレーを横切ってメタルー拡散コンタクト322へ水平に延在している帯状の埋め込み拡散層からなるコンダクタである。該メタルー拡散コンタクトは、順番に、仮想グランド・ボルテージをアレーに供給するメタル線323に結合される。下部のブロック・セレクト・トランジスタは、ポリSi層のセレクト線324によって制御される。理解されるように、ポリ

S i層のセレクト線324は、図に描かれたサブアレーと、図の下にあるサブアレー325と共有されている。サブアレー325は、サブアレーを仮想グラウンド・バスに接続する埋め込み拡散ドレイン321を共有するブロック・セレクト・ソース領域326を有している。かくして、ポリS i層の底部ブロック・セレクト信号は、第1のサブアレーのソース領域320から延長している巾の広い構造324を横切って、第2のサブアレー325内のソース領域326へ供給される。このような方法で、底部ブロック・セレクト信号は局所仮想グラウンド拡散306がドレイン拡散領域321の両側のサブアレーに対して作用し得るように働く。

【0032】当然、底部ブロック・セレクト信号が、別々のブロック・セレクト信号をワード線324に必要とする各々サブアレーに対して、個々に制御されるという外の具体化が実施され得る。前記実施例では、。また、下部のブロック・セレクト・トランジスタが、上部のブロック・セレクト・トランジスタに類似した方法で、各々の埋め込み拡散ラインに対して1個としてあるように具体化され得る。もう一つ別の具体化では、下部のブロック・セレクト・トランジスタが、多数の局所仮想グラウンド・ビット線を制御するメタル・拡散コンタクト322の近くの1個の孤立したトランジスタをもつコンダクタで置き換えられ得る。素子分離領域例えば、素子分離領域301は周期的に、下部のブロック・セレクト・ソース領域320及びドレイン領域321を経て延長し、そして隣接するサブアレーの下部のブロック・セレクト・トランジスタを分離する。理解され得るように、仮想グラウンド・メタル・バス323は図の向こう側に垂直に延びる。該バス323はメタル・拡散コンタクト322で下部のブロック・セレクト・トランジスタに結合される。

【0033】素子分離領域301は、サブアレーをフィールド酸化物301の両方の側に、下部のブロック・セレクト・トランジスタを分離することによって分ける。図6に示されるように、かくしてサブアレーは、一般に領域354内の下部のブロック・セレクト・トランジスタを共有している4個(例として)の列のトランジスタ350、351、352、353を有する。好ましいシステムは、サブアレーにつき16列のトランジスタ(2個トランジスタ・セルをもつた8ブロック)を有し得る。拡散領域304、305によって形成されたトランジスタは、かくして、列350及び351内のトランジスタから別れたサブアレーに存在することとなる。仮想グラウンド・メタル線323の右側にあるトランジスタは、又分離したサブアレーに存在することになる。分け合われた下部のブロック・セレクト・トランジスタは、ライン324に印加されるブロック信号によって制御されるので、4個のサブアレー(メタル324の両側に2個)は、ライン324の信号に応ずる仮想グラウンド・バ

ス323に結合された、それらのソース拡散領域、例えば、359を有する。このことは、一度に4個のサブアレーに対するセクター消去に帰着する。

【0034】本発明では、フラッシュEPROMアレーのNチャンネルについて説明したが、Pチャンネルについても、容易に実現され得ることは、明らかである。又、本発明で開示した実施例及びその説明は、本発明を説明する為のものであって、本発明の主旨を全て開示したものではない。従って、本発明を開示した実施例に限定するものではなく、斯かる実施例は、本発明の原理及びその実用的な応用をもっとも良く説明するために選択したものであって、数多くのモディフィケーション及びバリエーションは、技術に熟達した経験者によってなし得ることは明らかである。

#### 【0035】

【発明の効果】上述の如く、本発明の不揮発性メモリ・セル、アレー装置は、新規なフローティング・ゲート・トランジスタからなるフラッシュEPROMセルとそのアレー装置及びそのメモリ回路が提供できるものであり、その主な特徴は、以下の通りである。

1. 2本の隣接する局所ドレイン・ビット線が、1本のソース・ビット線を共用し、1本のメタル・ソース・ビット線がセルの総てのサブ・アレーと平行に形成されたもので、コンタクトレス構造によって非常に緻密な不揮発性メモリのコア・アレーが得られる効果を奏するものである。

2. セクター消去は、本発明によるフローティング・ゲート・トランジスタによって構成された区分け可能なアレー装置を用いることで、実現できる利点がある。

3. 本発明の新規なフローティング・ゲート・トランジスタを用いた不揮発性メモリ・セルによって高度な動作と高い信頼性をもったフラッシュ・メモリ・アレー、及びメモリ回路が得られる利点がある。

【0036】更に、本発明の不揮発性メモリ・セル、アレー装置は、フラッシュEPROMセルを提供できるとともに、この装置は、種々のメモリ回路のアレーに適応させることができる。かくして、メモリ・アレー内の蓄積セルは、ROM、PROM、EPROM、UV消去EPROM、又は他のEPROMを適用し得ることは明らかである。更に、本願で開示されたフラッシュEPROMは、ソース消去動作の目的のためにものであり、もし望むならば、チャンネル消去動作に適応できることは言うまでもない。

#### 【図面の簡単な説明】

【図1】本発明に係る不揮発性メモリ・セルを説明する為の回路図である。

【図2】本発明に係る不揮発性メモリ・セルによるアレー装置の概要を示すもので、2個のサブアレーで図示された回路図である。

【図3】本発明に係る不揮発性メモリ・セルによる半導



体集積回路の一実施例を示すブロック図である。

【図4】(A)乃至(D)は、不揮発性メモリ・セルの一実施例の製造方法を図示するもので、本発明に係る不揮発性メモリ・セルによるアレー装置のワード線に沿った断面図である。

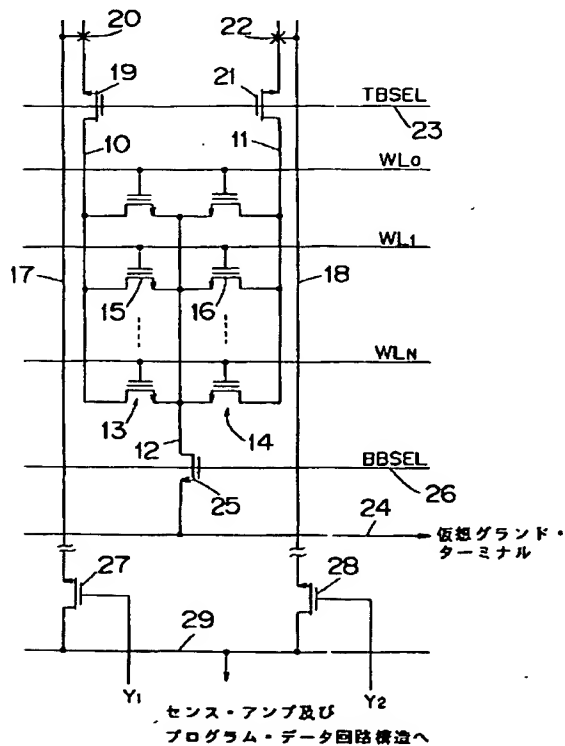
【図5】(A)乃至(D)は、図4の(A)乃至(D)に続く、不揮発性メモリ・セルの製造方法を図示する断面図である。

【図6】(A)乃至(D)は、不揮発性メモリ・セルの他の実施例の製造方法を図示するもので、本発明に係る不揮発性メモリ・セルによるアレー装置のワード線に沿った断面図である。

【図7】(A)乃至(C)は、図6の(A)乃至(D)に続く、不揮発性メモリ・セルの製造方法を図示する断面図である。

【図8】図4(A)乃至(D)、図5(A)乃至(D)の製造方法によって得られる不揮発性メモリ・セルによるアレー装置の平面図である。

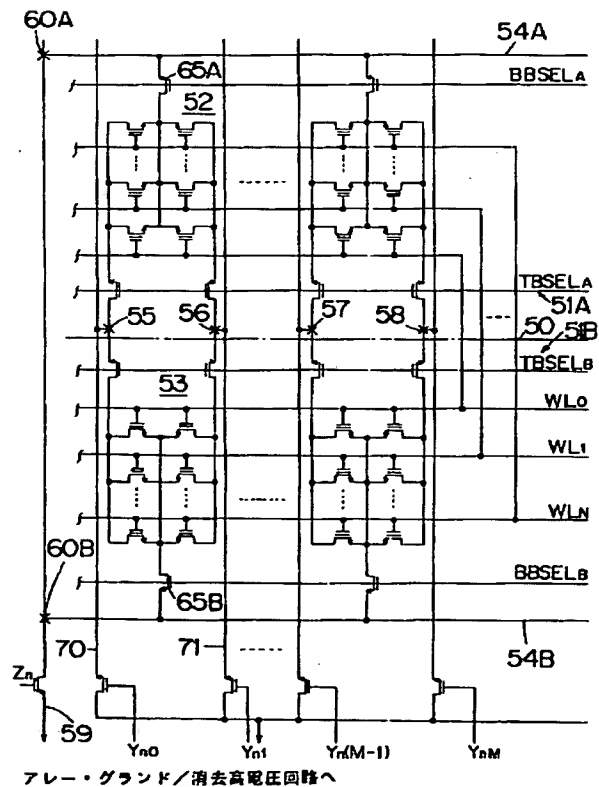
【図1】



## 【符号の説明】

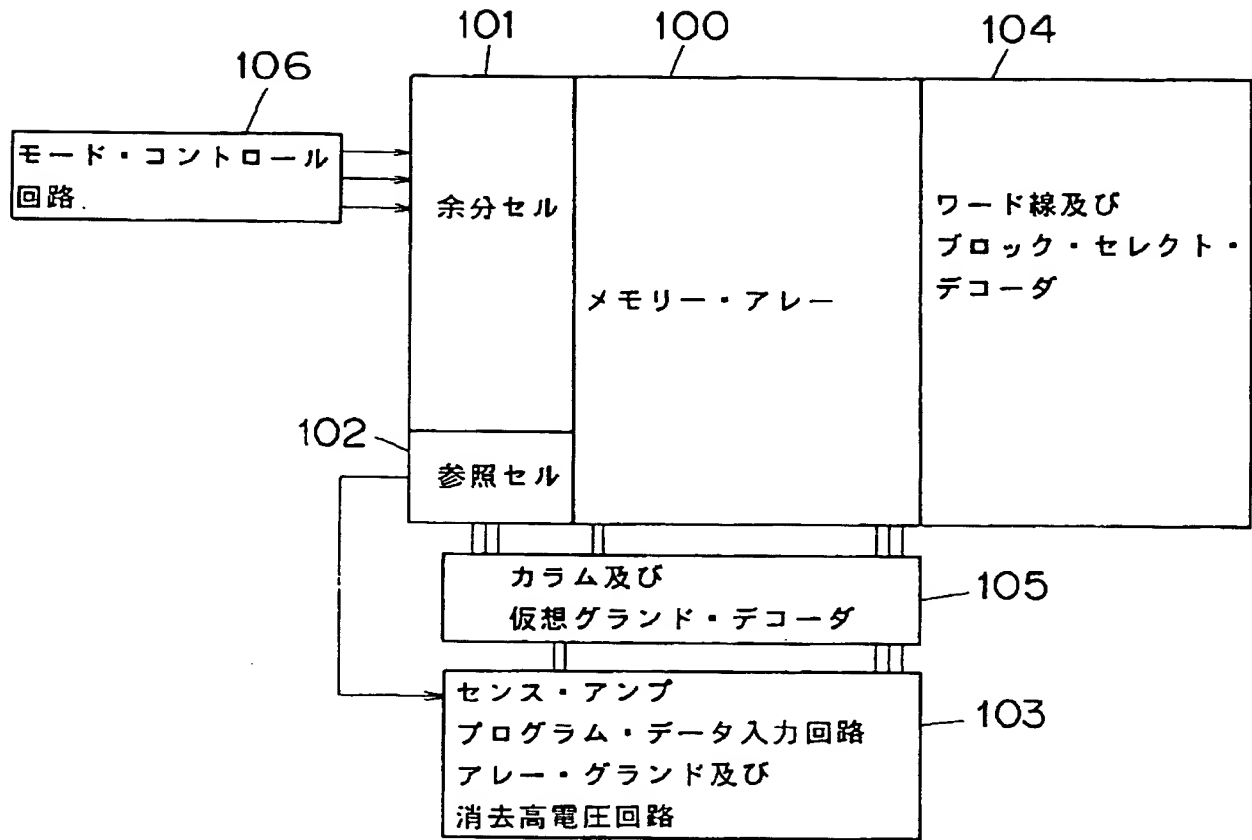
10	第1の局所ビット線
11	第2の局所ビット線
12	局所仮想グランド線
13、15	第1列のトランジスタ
14、16	第2列のトランジスタ
17	第1の広域ビット線
18	第2の広域ビット線
19、21	上部ブロック・セレクト・トランジスタ
20、22	メタル・拡散コンタクト
23、26	ライン
24、29	コンダクタ
25	下部ブロック・セレクト・トランジスタ
27、28	列セレクト・トランジスタ
WL <sub>0</sub> ～WL <sub>N</sub>	ワード線

【図2】

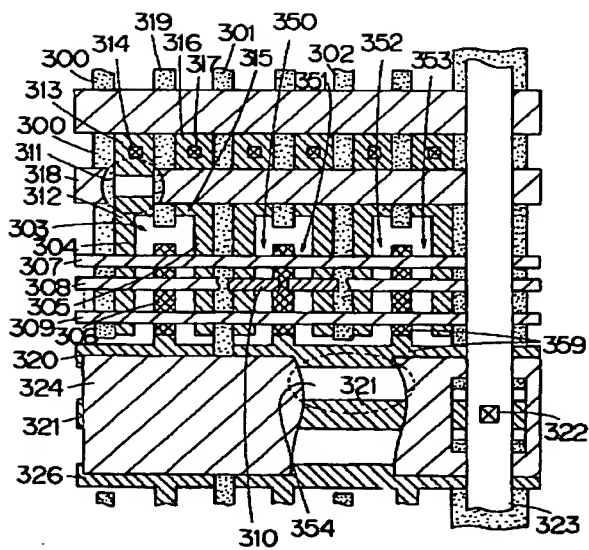




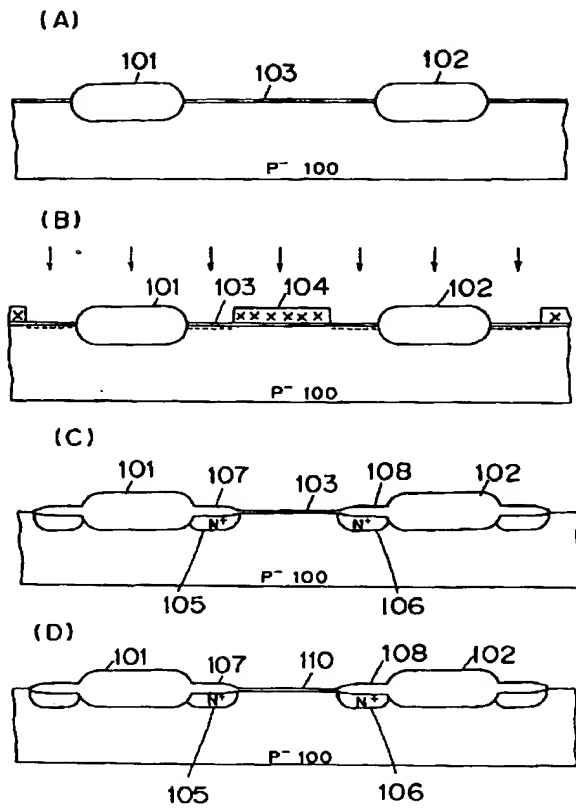
【図3】



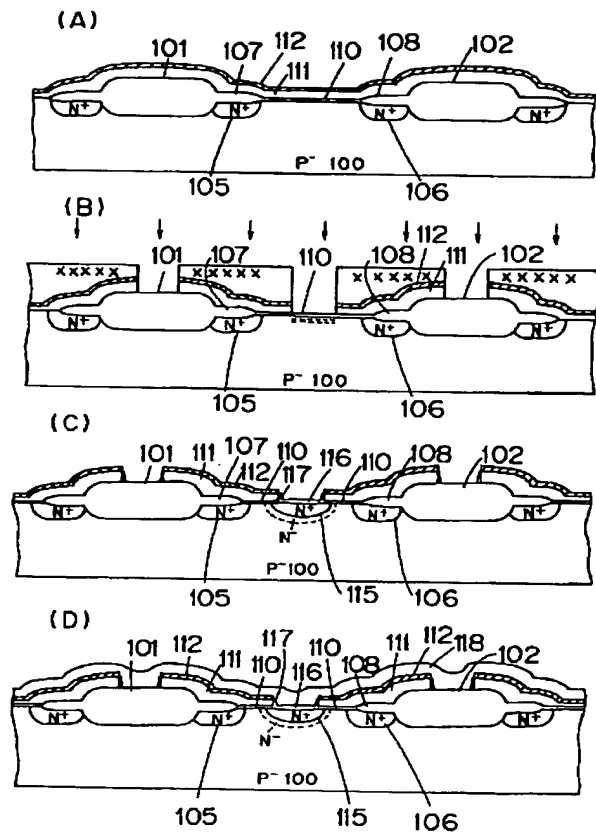
【図8】



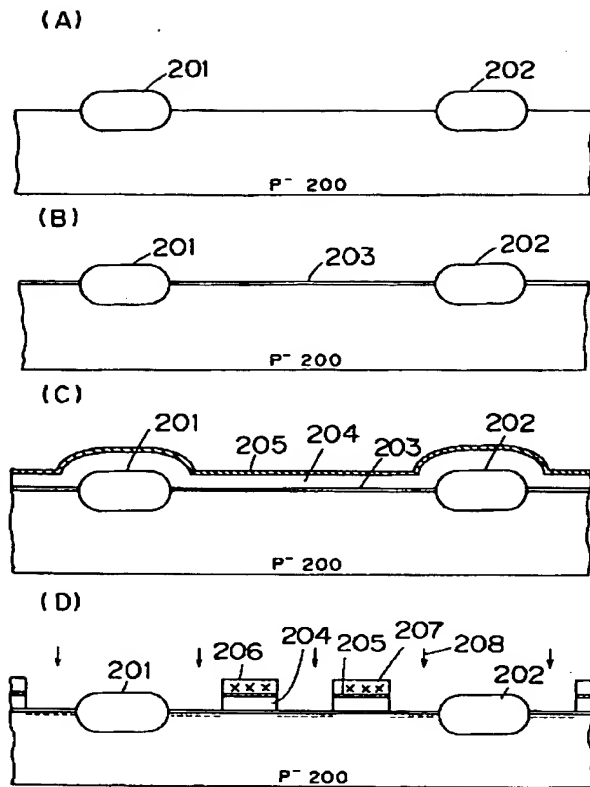
【図4】



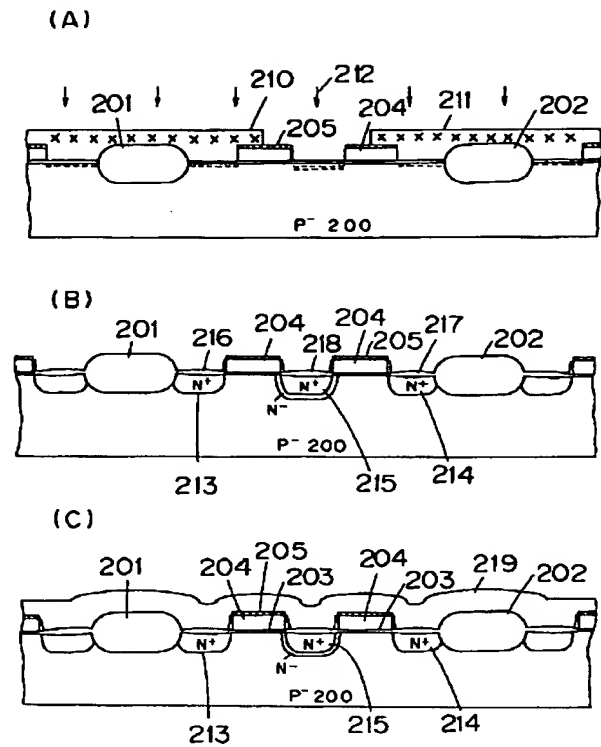
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. <sup>5</sup>

G 1 1 C 16/04

16/06

H 0 1 L 27/115

識別記号

庁内整理番号

F I

技術表示箇所

6741-5L

7210-4M

G 1 1 C 17/00

H 0 1 L 27/10

5 3 0 B

4 3 4

(72) 発明者 林 天楽

アメリカ合衆国 カリフォルニア 95104、  
 サンタ クララ、カパーチノ、マデラ ド  
 ライヴ 10501

(72) 発明者 陳 領

アメリカ合衆国 カリフォルニア 94087、  
 サンタ クララ、サニイヴェール、マーチ  
 ン アヴェニュー 1640